

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-218033

(43)Date of publication of application : 31.07.2003

(51)Int.Cl.

H01L 21/205

(21)Application number : 2002-011577

(71)Applicant : NIKKO MATERIALS CO LTD

(22)Date of filing : 21.01.2002

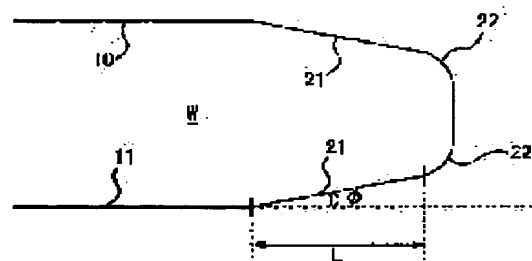
(72)Inventor : NAKAMURA MASASHI
SHIKAMOTO MITSUHIRO
KURITA HIDEKI

(54) METHOD FOR EPITAXIAL GROWTH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for epitaxial growth, by which the occurrence of such a defect as the cross-hatching, etc., can be prevented effectively, in the course of epitaxial growth performed for successively growth of an InGaAs or InGaAsP layer and an InP layer on an InP substrate sequentially.

SOLUTION: This method for epitaxial growth includes a step of forming a first compound semiconductor layer, consisting of elements A, B, and C or A, B, C, and D on a semiconductor substrate using the metal organic vapor phase growth method, while the substrate is held by means of a substrate supporting tool and a heterojunction forming step of forming a second compound semiconductor layer from the elements A and D. In this method, infiltration of a source gas to the rear surface side of the semiconductor substrate is prevented, by narrowing the gap between the rear surface of the sub substrate and substrate supporting tool, desirably by preventing the formation of the gap by using a semiconductor wafer controlled in rear-surface warping to 20 μm as the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-218033
(P2003-218033A)

(43) 公開日 平成15年7月31日 (2003.7.31)

(51) Int.Cl.⁷

H 0 1 L 21/205

識別記号

F I

H 0 1 L 21/205

データベース (参考)

5 F 0 4 5

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願2002-11577(P2002-11577)

(22) 出願日 平成14年1月21日 (2002.1.21)

(71) 出願人 591007860

株式会社日鉱マテリアルズ
東京都港区虎ノ門2丁目10番1号

(72) 発明者 中村 正志

埼玉県戸田市新曽南3-17-35 株式会社
日鉱マテリアルズ戸田工場内

(72) 発明者 鹿本 光宏

埼玉県戸田市新曽南3-17-35 株式会社
日鉱マテリアルズ戸田工場内

(74) 代理人 100090033

弁理士 荒船 博司

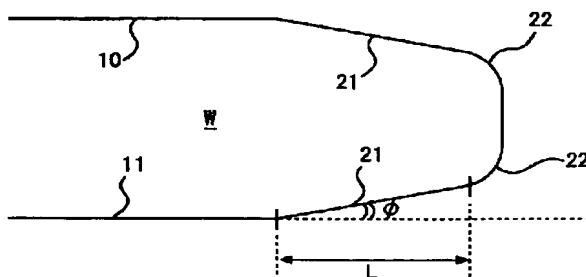
最終頁に続く

(54) 【発明の名称】 エピタキシャル成長方法

(57) 【要約】

【課題】 InP基板上にInGaAs層またはInGaAsP層と、InP層を順次成長させるエピタキシャル成長において、InP層表面にクロスハッチ等の欠陥が生じるのを効果的に防止できるエピタキシャル成長方法を提供する。

【解決手段】 半導体基板を基板支持具により保持させ、有機金属気相成長法により、前記半導体基板上に元素A、B、CまたはA、B、C、Dからなる第1の化合物半導体層を形成する工程と、次いで、元素A、Dからなる第2の化合物半導体層を形成するヘテロ接合形成工程と、を含むエピタキシャル成長方法において、裏面側の反りが20μm以下である半導体ウェハを前記半導体基板として用いることにより、前記半導体基板の裏面と基板支持具との間の空隙を小さく、望ましくは空隙が形成されないようにすることにより、基板裏面側に原料ガスが回り込むのを抑制するようにした。



【特許請求の範囲】

【請求項1】 半導体基板を基板支持具により保持させ、有機金属気相成長法により、前記半導体基板上に元素A、B、CまたはA、B、C、Dからなる第1の化合物半導体層を形成する工程と、

次いで、元素A、Dからなる第2の化合物半導体層を形成するヘテロ接合形成工程と、を含むエピタキシャル成長方法において、

裏面側の反りが $20\mu\text{m}$ 以下である半導体ウェハを前記半導体基板として用いることにより、前記半導体基板の裏面と基板支持具との間の空隙を小さくするようにしたことを特徴とするエピタキシャル成長方法。

【請求項2】 前記半導体基板をInP基板、前記元素AをIn、元素BをGa、元素CをAs、元素DをPとし、

有機金属気相成長により、InP基板上にInGaAs層またはInGaAsP層を形成し、

次いで、InP層を順次成長させることを特徴とする請求項1に記載のエピタキシャル成長方法。

【請求項3】 裏面の周縁部に傾斜面を形成され、該傾斜面の基板裏面に対する傾斜角を ϕ とし、前記傾斜面のウェハ半径方向の長さをLとしたときに、 $L \cdot \tan \phi$ が $150\mu\text{m}$ 以下である半導体ウェハを、前記半導体基板として用いることを特徴とする請求項1または請求項2の何れかに記載のエピタキシャル成長方法。

【請求項4】 前記傾斜面の傾斜角 ϕ を 5° から 25° の範囲とし、ウェハ半径方向の長さLを $100\mu\text{m}$ 以上としたことを特徴とする請求項3に記載のエピタキシャル成長方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上にエピタキシャル層を成長させるエピタキシャル成長方法に関し、特に、エピタキシャル層表面への不純物の汚染を有効に防止する技術に関する。

【0002】

【従来の技術】従来、発光素子や受光素子等の半導体素子の用途には、有機金属気相成長法（以下、MOVPE法と称する）によりInP基板上にInGaAs層またはInGaAsP層とInP層を順次エピタキシャル成長させたウェハが広く用いられている。

【0003】

【発明が解決しようとする課題】しかしながら、従来技術により、InP基板上にInGaAs層とInP層を順次成長させた場合、InGaAs層またはInGaAsP層を成長させた後のInP層表面にクロスハッチと呼ばれる格子状欠陥が現れることがあった。そして、このクロスハッチは、半導体素子の素子特性を低下させる要因の一つとなるので好ましくない。本発明は、上記問題を解決するためになされたもので、InP基板上に

InGaAs層またはInGaAsP層と、InP層を順次エピタキシャル成長させる過程において、InP層表面にクロスハッチ等の欠陥が生じるのを効果的に防止できるエピタキシャル成長方法を提供することを目的とする。

【0004】

【課題を解決するための手段】以下に本発明を完成するに至った経緯について簡単に説明する。まず、本発明者等は、InP層表面にクロスハッチが発生したエピタキシャルウェハについて調査した。その結果、X線回折測定によりInPピーク近傍にAs汚染に伴うピークが観察されたことから、InP層中へのAs汚染が発生していることが分かった。これより、InP基板上にInGaAs層を成長させる際の原料ガスであるAsがInP層を成長させる際に取り込まれてInP層中にAs汚染が発生し、その結果、InP層の格子定数がAs汚染のないInP層の格子定数とは異ってしまうためにInP層表面にクロスハッチ状の欠陥が現れると考えた。

【0005】また、X線回折測定の結果、基板周縁部にいくに従ってAs汚染の程度は増加する傾向にあり、As汚染の程度によって基板周縁部のみにクロスハッチが発生する場合と、基板全面にクロスハッチが発生する場合があることがわかった。さらに、基板周縁部には応力緩和によるスリップ状欠陥やマイクロクラックの発生もあわせて起こる場合もあった。

【0006】そこで、本発明者等は、InP基板上にInGaAs層とInP層を順次エピタキシャル成長させた場合に、InP層にAs汚染が発生するメカニズムについて検討した。そして、得られたエピタキシャルウェハについて調査を行った結果、基板裏面がひどく荒れていることに気付いた。このことから、基板裏面の周縁部は基板の反りや面取加工のために基板支持具（基板支持台）との間に空隙が生じてしまい、この空隙にAsが回り込むことが推測できた。具体的には、InP基板上にInGaAs層を成長させる際に基板と基板支持具との間の空隙に原料ガスが回り込むと、基板裏面から揮発性元素であるPが抜ける一方、原料ガスであるAsの析出がおこり、その後InGaAs層上にInP層を成長させる際に前記析出したAsが再蒸発し、InP層に取り込まれてAs汚染が発生すると考えた。

【0007】以上の推論に基づいて検討した結果、本発明者等は半導体基板裏面へのガスの回り込みを抑制することにより、InP層中へのAs汚染を防止できるという知見を得て本発明を完成するに至った。

【0008】本発明は、半導体基板を基板支持具により保持させ、有機金属気相成長法により、前記半導体基板上に元素A、B、CまたはA、B、C、Dからなる第1の化合物半導体層を形成する工程と、次いで、元素A、Dからなる第2の化合物半導体層を形成するヘテロ接合形成工程と、を含むエピタキシャル成長方法において、

裏面側の反りが $20\mu\text{m}$ 以下である半導体ウェハを前記半導体基板として用いることにより、前記半導体基板の裏面と基板支持具との間の空隙を小さく、望ましくは空隙が形成されないようにすることにより、基板裏面側に原料ガスが回り込むのを抑制するようにしたものである。ここで、半導体基板の裏面と基板支持具との間の空隙とは、例えば、基板支持具（基板支持台）に半導体基板を載置したときに、基板の反りや基板周縁部の面取加工のために基板周縁部と基板支持具との間に生じる間隙を意味する。なお、基板の反りは、例えば、基板半径を r とし、基板裏面の中心と端点を結んだ直線が基板設置面となす角を θ とした場合に、 $d = r \cdot \tan \theta$ で表すことができる（図1参照）。

【0009】ところで、InP基板等で一般的に使用されている基板は最大で4インチ径（半径50mm）であるので、例えば基板の反りを $17.44\mu\text{m}$ 以下にすることにより、上記した角度 θ を 0.02° 以下にすることができる。すなわち、このように基板の反りをできる限り小さくすることにより、基板と基板支持具との密着性が向上するので、ガスが基板裏面に回り込むのを抑制できる。具体的には、前記半導体基板をInP基板、前記元素AをIn、元素BをGa、元素CをAs、元素DをPとし、有機金属気相成長により、InP基板上にInGaAs層またはInGaAsP層を形成し、次いで、InP層を順次エピタキシャル成長させるようにした。この場合、InP基板上にInGaAs層またはInGaAsP層を成長させる際に、InP基板の裏面側にAsガスが回り込むのを抑制できるため、その後に成長させるInP層中にAs汚染が発生するのを防止できる。これにより、発光素子や受光素子等の半導体素子材料として適切なエピタキシャルウェハを得ることができる。

【0010】また、裏面の周縁部に傾斜面が形成され、該傾斜面の基板裏面に対する傾斜角を ϕ とし、前記傾斜面のウェハ半径方向の長さを L としたときに、 $L \cdot \tan \phi$ が $150\mu\text{m}$ 以下である半導体ウェハを、前記半導体基板として用いるようにした。つまり、基板裏面の周縁部の面取加工において、距離をできるだけ長くし、傾斜角を浅く取るようにした。さらに、基板裏面へのガスの回り込みと、基板周縁部形状の関係を調べた結果、周縁部に設けた傾斜面が裏面となす角度を小さくするほど、裏面へのガスの回り込みを抑制し、As汚染を抑制できることを見いだした。具体的には、前記傾斜面の傾斜角 θ を 5° から 25° の範囲とし、ウェハ方向の長さ L を $100\mu\text{m}$ 以上とするのが望ましい。また、このような効果は、傾斜面の裏面に対する傾きを 15° 以下にしたとき、特に顕著になることが分かった。これにより、基板裏面へのガスの回り込みを抑制できるとともに、半導体素子の製造プロセスにおいて欠けや割れの発生しにくいエピタキシャルウェハを得ることができる。

【0011】また、前記半導体基板と基板支持具との間に空隙が形成されなくする方法としては、前記基板支持具で前記半導体基板周縁部を挟持して、前記半導体基板と基板支持具との空隙を機械的になくす方法や、真空排気により前記半導体基板裏面と前記基板支持具との間の空隙を物理的になくす方法等が考えられる。さらに、半導体基板裏面の表面粗さや、基板支持具の半導体基板と接する面の表面粗さを小さくすることにより、密着性を良くするのも効果的である。

【0012】

【発明の実施の形態】以下、本発明の好適な実施の形態を図面に基づいて説明する。はじめに、液体封止チョクラスキー法（Liquid Encapsulated Czochralski；LEC）法によりn型InP単結晶を（100）方向に成長させた。この単結晶を直径2インチの円柱状に加工し、表面が（100）面になるようスライシングして、半導体ウェハWを切り出した。次に、面取り加工により前記半導体ウェハWの周縁部を図2に示す面取形状に研削した。このとき、主面側には、主面10となる（100）面から 11° 傾いた傾斜面21を形成した。また、裏面側には裏面となる（ $\bar{1}00$ ）面から 11° 傾いた傾斜面を形成した。さらに傾斜面21の外側には円弧状加工部22を形成した。

【0013】次に、この半導体ウェハWの表裏面を鏡面研磨した。この鏡面研磨が終了した時点で、傾斜面21のウェハ方向の長さ L が $300\mu\text{m}$ になる様に、面取り工程における傾斜面21の長さ L を設定した。また、裏面側の傾斜面の長さについては、研磨仕上げ後、表裏の面取形状が対称になるよう設定した。また、鏡面研磨を行った後に半導体ウェハWの反りを測定したところ、 $10\mu\text{m}$ であった。次に、上述のように面取加工および鏡面加工を施した半導体ウェハWを基板として、有機金属気相成長法により図3に示す構造をしたエピタキシャルウェハを作製した。この構造はPINのような光デバイスで広く用いられる構造で、InP基板上に、厚さ $2.0\mu\text{m}$ のInPバッファ層、厚さ $4.0\mu\text{m}$ のInGaAs層、厚さ $2.0\mu\text{m}$ のInP層、厚さ $0.2\mu\text{m}$ のInGaAs層を順次エピタキシャル成長させて形成する。

【0014】なお、本実施形態では、基板周縁部を基板支持具により挟持して、InP基板と基板支持具との間に空隙が形成されないようにした。また、エピタキシャル成長において、成長温度は 620°C 、成長圧力は 50torr 、総ガス流量は 60l/min 、InGaAs層の成長速度は $1.0\mu\text{m/h}$ 、InP層の成長速度は $1.5\mu\text{m/h}$ とした。得られたエピタキシャルウェハの裏面には、Asガスの回り込みによる荒れはほとんど生じていなかった。これより、基板裏面へのAsガスの回り込みが効果的に防止できたといえる。

【0015】次に、比較のため、本実施形態と同様にI

n P単結晶インゴットから切り出したウェハに、主面と裏面とを滑らかな円弧で結ぶ面取加工を施し、さらに鏡面研磨を施した半導体ウェハを基板としてエピタキシャル成長を行い、得られたエピタキシャルウェハの評価を行った。なお、比較例のエピタキシャル成長においては、I n P基板と基板支持具（基板支持台）との間に空隙が生じていた。これにより得られたエピタキシャルウェハの裏面には、A sガスの回り込みによりひどい荒れが生じていた。

【0016】さらに、本実施形態のエピタキシャルウェハと比較例のエピタキシャルウェハについて、外観調査、S I M S分析およびX線回折測定を行った。エピタキシャルウェハの周縁部（エッジ）の外観調査を行った結果、本実施形態のエピタキシャルウェハの方がクロスハッチの発生は明らかに少なかった。また、比較例のエピタキシャルウェハの周縁部には、A s汚染が原因と思われる異常成長が発生していた。

【0017】図4は、本実施形態および比較例のエピタキシャルウェハについてS I M S（二次イオン質量分析）を行った結果である。本実施形態の測定結果を●印、比較例の測定結果を■印でプロットしてある。図4より、I n P層104のA s濃度に関して、本実施形態のエピタキシャルウェハのA s濃度は比較例の1/10程度になっていることが分かる。すなわち、本実施形態のエピタキシャルウェハにおいてはI n P層104中のA s汚染が減少されているといえる。

【0018】図5は、本実施形態および比較例のエピタキシャルウェハについてX線回折測定を行った結果である。本実施形態の測定結果を曲線Aで、比較例の測定結果を曲線Bで示してある。図5より、本実施形態のエピタキシャルウェハではI n PのピークとI n G a A sのピークのみが出現しているのに対して、比較例のエピタキシャルウェハではA s汚染に伴うブロードなピークが出現していることが分かる。

【0019】以上説明したように本実施形態では、反りが10μmである半導体ウェハの周縁部に、面取加工により傾斜角が11°でウェハ半径方向の長さLが300μmの傾斜面を設け、さらに、基板支持具で基板周縁部を挟持することにより基板裏面と基板支持具との間に空隙が生じないようにして、A sガスが基板裏面に回り込むのを防止したので、A s汚染のない良好なエピタキシャルウェハを製造することができた。

【0020】なお、本実施形態では、基板となる半導体ウェハの面取加工について、傾斜面の傾斜角を11°、ウェハ半径方向の長さを300μmとしたが、傾斜角は5°以上25°以下の範囲で変更可能であり、鏡面加工後に傾斜面の半径方向の長さが100μm以上となるようにすれば、基板裏面にガスが回り込むのを効果的に抑制できるとともに、半導体素子の製造プロセスにおいて割れや欠けが生じるのを有効に防止できる。また、基板

裏面と基板支持具とを密着させるためには、基板となる半導体ウェハの反りを20μm以下とすればよく、望ましくは10μm以下とするのがよい。

【0021】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で変更可能である。例えば、前記半導体基板と基板支持具との間に空隙が形成されなくする方法として、真空排気により前記半導体基板裏面と前記基板支持具との間の空隙を物理的になくすようにしてもよい。さらに、半導体基板裏面の表面粗さや、基板支持具の半導体基板と接する面の表面粗さを小さくすることにより、密着性を良くするのも効果的である。また、本発明は、上記実施形態で説明したI n P/I n G a A s/I n P構造をしたエピタキシャル層を形成する場合に限らず、I n P/I n G a A s P/I n Pの構造をしたエピタキシャル層を形成する場合にも適用できる。

【0022】

【発明の効果】本発明によれば、半導体基板を基板支持具により保持させ、有機金属気相成長法により、前記半導体基板上に元素A、B、CまたはA、B、C、Dからなる第1の化合物半導体層を形成する工程と、次いで、元素A、Dからなる第2の化合物半導体層を形成するヘテロ接合形成工程と、を含むエピタキシャル成長方法において、裏面側の反りが20μm以下である半導体ウェハを前記半導体基板として用いることにより、前記半導体基板の裏面と基板支持具との間の空隙を小さく、望ましくは空隙が形成されないようにしたので、基板裏面側に原料ガスが回り込むのを抑制でき、A s汚染によりエピタキシャルウェハにクロスハッチ等の欠陥が生じるのを防止できる。したがって、発光素子や受光素子等の半導体素子の用途に適したエピタキシャルウェハを製造することができるという効果を奏する。

【図面の簡単な説明】

【図1】半導体ウェハの反りについて示した説明図である。

【図2】本実施形態の基板として用いた半導体ウェハの面取加工部の形状について示した説明図である。

【図3】本実施形態のエピタキシャル構造の概略図である。

【図4】本実施形態と比較例のエピタキシャルウェハについてS I M Sを行った結果を示すグラフである。

【図5】本実施形態と比較例のエピタキシャルウェハについてX線回折測定を行った結果を示すグラフである。

【符号の説明】

10 主面

11 裏面

21 傾斜面

22 円弧状加工部

101 I n P基板

(5)

特開2003-218033

7

102 InPバッファ層
103 InGaAs層
104 InP層

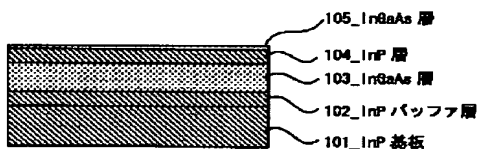
8

105 InGaAs層
W 半導体ウェハ

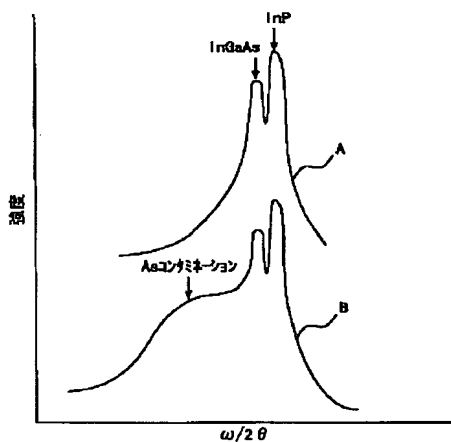
【図1】



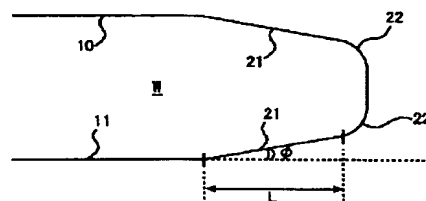
【図3】



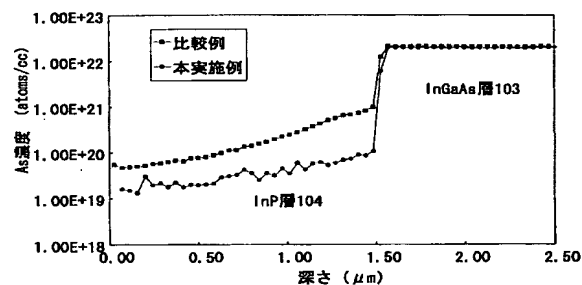
【図5】



【図2】



【図4】



フロントページの続き

(72)発明者 栗田 英樹
茨城県北茨城市華川町白場187-4 株式
会社日鉱マテリアルズ磯原工場内

Fターム(参考) 5F045 AA04 AB12 AB17 AD10 AE23
AF04 AF13 BB12 BB14 CA09
CA13 DA53 DA69